

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 02-312099

(43) Date of publication of application : 27.12.1990

(51) Int. Cl. G11C 19/00

(21) Application number : 01-133643 (71) Applicant : NEC IC MICROCOMPUT SYST LTD

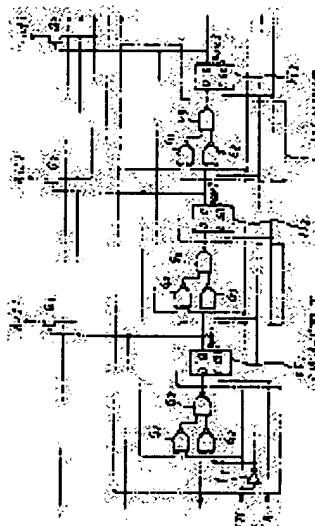
(22) Date of filing : 26.05.1989 (72) Inventor : FUJITANI KENJI

(54) SHIFT REGISTER

(57) Abstract:

PURPOSE: To realize interpolation between horizontal image data by providing a shift direction control circuit which controls the shift direction of data.

CONSTITUTION: The shift register is provided with D type flip-flops FF1 - FF3 and FF11 - FF14 and the shift direction control circuit 1 which controls the shift direction of data. Data rightward shifting operation when an external input control signal CTL is at low level or data leftward shifting operation when at high level is selected. Thus, the shift direction control circuit which controls the shift direction of data is provided to enable the data to be shifted in two directions, so not only control over the time base in, for example, an image processing field, etc., but also the interpolation between horizontal image data are enabled to expand an application range.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of

⑫ 公開特許公報 (A) 平2-312099

⑬ Int.Cl.⁵
G 11 C 19/00識別記号
C

⑭ 公開 平成2年(1990)12月27日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 シフトレジスタ

⑯ 特願 平1-133643
⑰ 出願 平1(1989)5月26日

⑱ 発明者 藤谷 健児 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 出願人 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53

⑳ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

シフトレジスタ

2. 特許請求の範囲

複数のD型フリップフロップとこれら各D型フリップフロップ間に接続されてこれらD型フリップフロップと共にデータのシフト動作を行い、かつ選択信号により前記データのシフト方向を選択するシフト方向制御回路を有することを特徴とするシフトレジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はシフトレジスタに関し、特に基本回路にD型フリップフロップを使用したシフトレジスタに関する。

〔従来の技術〕

従来、この種のシフトレジスタをFIFO型 (FIFO

とは、データ入出力において、データが入力した順に出力される方式) の半導体メモリのシリアルアドレス発生器として用いる場合、その1段当たりの基本回路は、D型フリップフロップから構成されており、この基本回路を多段継続接続することで、クロックパルスによりデータを一方向に1段ずつシフトすることができた。

従来のシフトレジスタを半導体メモリのシリアルアドレス発生器として用いた場合の回路図及び動作を説明するための波形図を第3図及び第4図に示す。

第3図において、破線で囲まれた部分2がシフトレジスタの1段当たりの基本回路を示す。

内部節点 (node n-1) の高レベルは、クロックパルスCKの立ち上がりのリッジt₁をうけて、次段へと転送される。この為、node n-1のレベルは高レベルから低レベルへと変化し、node nは低レベルから高レベルへと変化する。そしてnode nはが高レベルになったことにより、トランジスタQ₁がオン状態となり、セルデータがトランジ

スタ Q_1 を経て、リードデータ Data 1 として得られる。以上の動作をメモリの動作と合わせて説明する。

クロックパルス CK の立ち上がりエッジ t_1 により node $n-1$ にあった高レベルが node n に移動する。これは、アドレス $n-1$ が次のアドレスである n に切り換わったことを意味する。即ち、 Q_1 のトランジスタがオン状態になる。前記動作でメモリセルと外部回路が接続された状態を意味し、書き込み動作（メモリセルに外部から入力したデータを書き込む動作）又は、読み出し動作（メモリセルのデータを外部に読み出す動作）が可能なことを示している。更に、次のクロックパルス CK の立ち上がりエッジ t_2 で node n の高レベルは node $n+1$ に移動する為、トランジスタ Q_1 はオフ状態となり、また node n と同様の動作によりトランジスタ Q_2 がオン状態になる。

以後、クロックパルス CK の立ち上がりエッジがくるたびに、次段へと同様の動作を繰り返す。

〔発明が解決しようとする課題〕

御するシフト方向制御回路 1 を追加した点にある。

この実施例は、外部入力の制御信号 CTL で、データのシフト方向を選択することができ、制御信号 CTL が低レベルのとき、データ右シフト動作（データ右シフト動作とは、クロックパルス CK の立ち上がりエッジにより、現在よりも 1 つ大きい番号の内部節点にデータがシフトすることを意味する）となり、高レベルのときデータ左シフト動作（データ左シフト動作とは、クロックパルス CK の立ち上がりエッジにより、現在よりも 1 つ小さい番号の内部節点にデータがシフトすることを意味する）となる。

第 2 図(a), (b) にデータ右シフト動作の状態及びデータ左シフト動作の状態を示す。

次に、データ右シフト動作について説明する。

t_1 の時刻において node 1 が高レベル状態になり、前記の状態のときトランジスタ Q_1 のゲートには高レベルが印加されている。即ち、内部節点 node 1 に対応したアドレス (Add 1) が選択され、トランジスタ Q_1 はオン状態にある。

上述した従来のシフトレジスタは、一方向のみのシリアル動作であるので、FIFO 系半導体メモリの画像分野への進展に伴い、一方向のシリアル動作のみのアドレス制御では要求機能を満足することができないという問題が発生している。

〔課題を解決するための手段〕

本発明のシフトレジスタは、複数の D 型フリップフロップと、これら各 D 型フリップフロップ間に接続されてこれら D 型フリップフロップと共に D 型データのシフト動作を行い、かつ選択信号により前記データのシフト方向を選択するシフト方向制御回路を有している。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第 1 図は、本発明の一実施例を示す回路図であり、FIFO 型半導体メモリのアドレス制御に応用した例を示す。

この実施例が第 3 図に示された従来のシフトレジスタと相違する点は、データのシフト方向を制

更に、次のクロックパルス CK の立ち上がりエッジにより内部節点 node 1 の高レベルは内部節点 node 2 にシフトされ、トランジスタ Q_1 はオフ状態になり、トランジスタ Q_2 がオン状態となる。アドレスは Add 1 から Add 2 に変化する。以後、クロックパルス CK の立ち上がりエッジによりアドレスは 1 ずつ加算動作を繰り返す。

次にデータ左シフト動作について説明する。

t_2 の時刻において内部節点 node 3 が高レベル状態になり、前記の状態のとき、トランジスタ Q_2 のゲートには高レベルが印加され、トランジスタ Q_3 はオン状態になる。即ち、内部節点 node 3 に対応したアドレス (Add 3) が選択されることになる。

更に次のクロックパルス CK の立ち上がりエッジにより内部節点 node 3 の高レベルは内部節点 node 2 にシフトされ、トランジスタ Q_3 はオフ状態になり、トランジスタ Q_2 がオン状態となる。アドレスは Add 3 から Add 2 に変化する

以後、クロックパルス CK の立ち上がりエッジ

により、アドレスは1ずつ減算動作を繰り返す。

〔発明の効果〕

以上説明したように本発明は、データのシフト方向を制御するシフト方向制御回路を設けることにより、データのシフト方向を双方向にすることができるので、例えば画像処理分野等における時間軸の制御（遅延線）だけでなく、水平方向の画像データの補間も可能となり、応用範囲を拡大することができる効果がある。

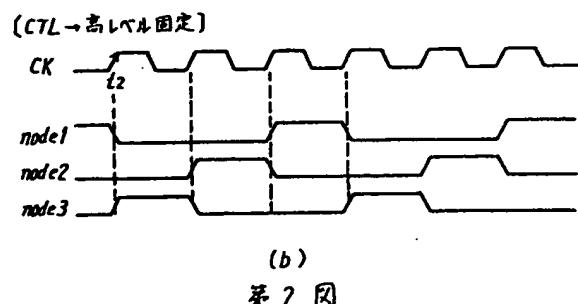
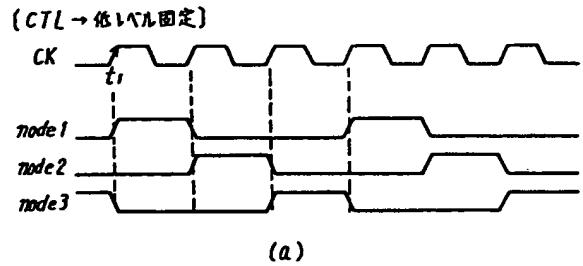
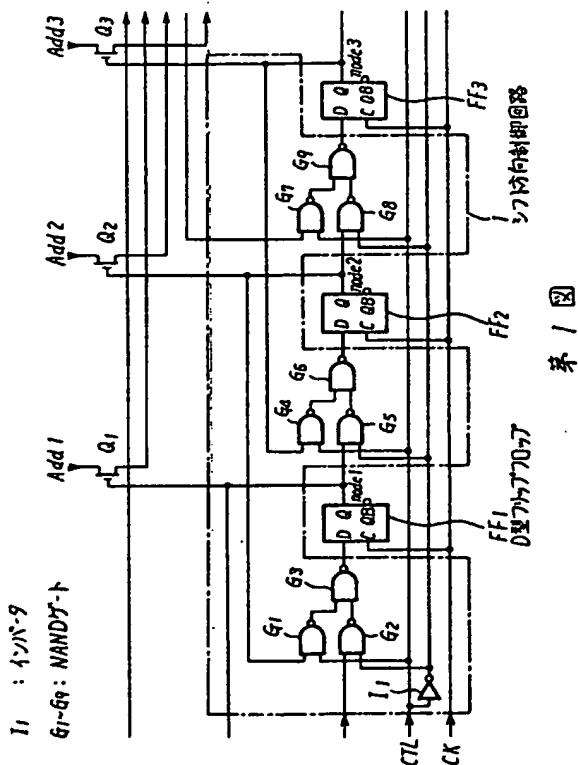
ータ。

代理人弁理士 内原晋

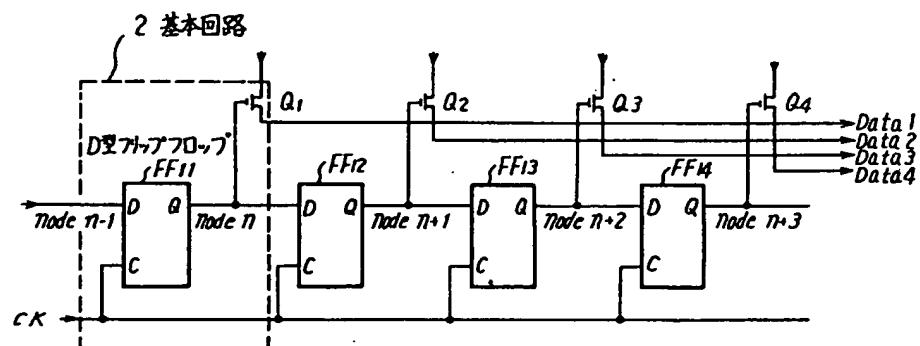
4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図(a), (b)は第1図に示された実施例の動作を説明するための各部信号の波形図、第3図は従来のシフトレジスタの一例を示す回路図、第4図は第3図に示されたシフトレジスタの動作を説明するための各部信号の波形図である。

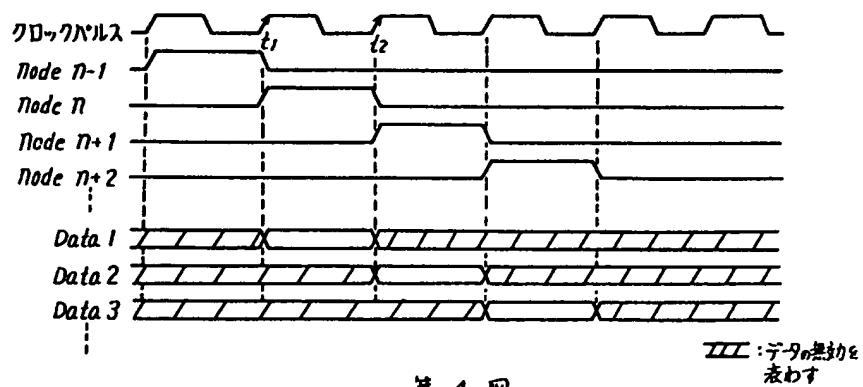
1 ……シフト方向制御回路、2 ……基本回路、
 FF₁～FF₃, FF₁₁～FF₁₄ ……D型フリップフロップ、G₁～G₉ ……NANDゲート、I₁ ……インバ



第2図



第3図



第4図